

# RISC-V и приложения Искусственного Интеллекта

В.П. Куприяновский, Д.Е. Намиот

**Аннотация**— Статья посвящена анализу современного состояния и перспектив развития открытой архитектуры RISC-V, которая к 2026 году превратилась из академического проекта в глобальную промышленную силу, став третьей основной архитектурой наряду с x86 и ARM. Рассматриваются ключевые факторы популярности RISC-V: открытость, модульность и ориентация на сообщество. Особое внимание уделяется технической зрелости платформы, включая внедрение профиля RVA23 и векторных расширений (RVV), что обеспечило поддержку RISC-V в корпоративных ОС и Android. Подробно анализируется применение RISC-V в системах искусственного интеллекта (ИИ). На примере открытой платформы Coral NPU от Google показана реализация концепции «AI-Native»: использование специализированных инструкций, векторных расширений и механизмов умножения-накопления (MAC) для ускорения выводов нейросетей на периферийных устройствах. Отдельный раздел посвящён деятельности российского Альянса RISC-V, направленной на обеспечение технологического суверенитета и создание отечественных решений на базе открытой архитектуры.

**Ключевые слова**- RISC-V, Искусственный интеллект, Интернет вещей.

## I. ВВЕДЕНИЕ

RISC-V — это открытая архитектура набора инструкций (Instruction Set Architecture - ISA), которая с момента своего первого появления в 2010 году в Калифорнийском университете в Беркли развивается с феноменально большой скоростью. По оценкам, в течение следующих нескольких лет будет произведено около 60 миллиардов ядер RISC-V, а в конце 2024 года Nvidia объявила, что в каждом из их графических процессоров содержится от 10 до 40 ядер RISC-V. Более того, Nvidia отгрузила более миллиарда ядер RISC-V только в 2024 году [1].

Стандарт RISC-V контролируется RISC-V International, которая является глобальной некоммерческой организацией, ответственной за администрирование самого стандарта, связанных спецификаций и сообщества заинтересованных сторон. RISC-V не является физическим оборудованием, и RISC-V International не производит никакой аппаратной интеллектуальной собственности (IP). Любой может

взять стандарт RISC-V и построить на его основе аппаратное обеспечение. Тот факт, что RISC-V это всего лишь стандарт, был главным аргументом в пользу того, почему RISC-V не должен подлежать ограничениям на экспорт технологий.

Что послужило причиной популярности RISC-V. В литературе указывают совокупность факторов:

- Открытость, которая означает, что любой может свободно использовать стандарт и создавать совместимые, но специализированные решения, поскольку нет никаких ограничений на то, как стандарт фактически используется или комбинируется с другими аппаратными блоками (с другой интеллектуальной собственностью)
- Ориентация на сообщество, которая означает, что участники, начиная от поставщиков оборудования и заканчивая разработчиками программного обеспечения, могут формировать стандарт.
- Модульность, обеспечиваемая RISC-V, которая означает, что можно использовать стандарт гибким образом. Это позволяет разрабатывать специализированное оборудование, ориентированное на определенный диапазон приложений, при этом эта специализация в конечном итоге способна обеспечить улучшенную производительность и энергоэффективность.

Открытость гарантирует независимость от одного поставщика, такого как Nvidia. Нет никаких юридических барьеров для входа или финансовых последствий при использовании ISA. Любой может взять стандарт и использовать его так, как ему удобно, для создания технологий на его основе.

Что касается ориентации на сообщество, на момент написания статьи RISC-V International насчитывает более 4000 членов, что составляет более 60 000 человек, работающих в 75 технических рабочих группах. Этот ориентированный на сообщество характер стандарта не только выигрывает от широкого круга экспертов и специалистов, но и гарантирует, что стандарт подходит для широкого спектра рабочих нагрузок благодаря возможности легко предлагать новые расширения, модификации существующих расширений или участвовать в текущей разработке расширений. RISC-V сообщество активно работает и в России.

Модульность, означает, что RISC-V может применяться на широком спектре вычислительных

Статья получена 9 января 2026.

В.П. Куприяновский – РУТ (МИИТ) (email: v.kupriyanovsky@rut.digital)

Д.Е. Намиот – МГУ имени М.В. Ломоносова (email: dnamiot@gmail.com)

платформ, от встроенных вычислительных систем до высокопроизводительных систем. Базовый набор целочисленных инструкций RISC-V, RV32I для 32-битных систем и RV64I для 64-битных систем, очень прост и, например, даже не включает целочисленное умножение и деление. Существует более 100 утвержденных расширений, из которых производители могут выбирать при проектировании своего оборудования. Однако с некоторыми оговорками и осторожностью программное обеспечение, и особенно инструменты, разработанные для одного набора расширений, также могут быть использованы с оборудованием, построенным на основе другого набора.

Оставшаяся часть статьи структурирована следующим образом. В разделе II приведен обзор современного состояния RISC-V. В разделе III мы кратко остановимся на сообществе RISC-V в России. И раздел IV посвящен использованию RISC-V в системах Искусственного Интеллекта (ИИ).

## II. RISC-V СЕГОДНЯ

Как отмечается в литературе, по состоянию на февраль 2026 года мировой ландшафт полупроводников претерпел тектонический сдвиг, ознаменовав конец давней дуополии x86 и ARM [2,3]. RISC-V, открытая стандартная архитектура наборов инструкций (ISA), выросла из перспективного академического проекта в доминирующую промышленную силу. Эта эволюция наиболее заметна в автомобильной индустрии и Интернете вещей (IoT), где архитектура теперь получает ошеломляющие 25% и 55% новых проектов соответственно. Предлагая бесплатную, высоконастраиваемую альтернативу, RISC-V стал краеугольным камнем эры «Программного обеспечения», открывая новый уровень совместного проектирования аппаратного и программного обеспечения, который ранее был невозможен при ограничительных проприетарных лицензиях [4].

Десятилетиями разработчикам микросхем приходилось выбирать между высокопроизводительной, но требовательной к энергии архитектурой x86 и эффективной, но строго контролируемой экосистемой ARM. Сегодня RISC-V представляет собой третий столп, который сочетает производительность с беспрецедентной гибкостью. Этот «суверенитет архитектуры» позволяет технологическим гигантам и стартапам внедрять собственные собственные ускорители ИИ и функции безопасности непосредственно в ядро процессора. По мере приближения отрасли к 2027 году «налог ARM»<sup>1</sup> сместился из стандартных бизнес-расходов на конкурентную ответственность, что вызвало массовую миграцию к открытому исходному коду [4].

<sup>1</sup> «Налог ARM» — это значительные финансовые затраты на лицензирование интеллектуальной собственности (ИС) у ARM Holdings и выплату роялти с каждого чипа, произведенного с использованием их разработок. Эта бизнес-модель сделала ARM доминирующей архитектурой в мобильных и встраиваемых устройствах, ежегодно поставляя миллиарды чипов.

### *A. Техническая зрелость: от встроенных контроллеров до высокопроизводительного ИИ*

Техническим прорывом, определившим 2025 и 2026 годы, стало завершение и широкое внедрение профиля RVA23 [5]. Ранее RISC-V подвергался критике за «фрагментацию», когда разные производители чипов реализовывали функции несовместимыми способами. Стандарт RVA23 объединил экосистему, обеспечив стабильную базу для операционных систем, таких как Android, и корпоративных дистрибутивов Linux. В апреле 2026 года выпуск Ubuntu 26.04 LTS [6] стал знаковым событием, предложив первую долгосрочно поддерживаемую корпоративную ОС с нативной, высокопроизводительной оптимизацией для RISC-V, фактически поставив её на равные с x86 для серверных и крайних приложений.

В 2026 году расширение RISC-V Vector (RVV) [7] стало краеугольным камнем развития архитектуры в области высокопроизводительных вычислений (HPC) и искусственного интеллекта. Реализации с открытым исходным кодом, такие как Saturn Vector Unit [8], обеспечивают полностью совместимое оборудование RVV 1.0, поддерживаемое развивающимися инструментальными средствами компиляторов, которые обеспечивают эффективную автоматическую векторизацию. В отличие от архитектур ARM или Intel, которые часто требуют отдельных специализированных ИИ-чипов, векторные расширения RISC-V позволяют массовую параллельную обработку рабочих нагрузок ИИ непосредственно внутри процессора. RVV расширяет возможности векторной обработки в архитектуре RISC-V, вводя набор из 32 векторных регистров, которые могут динамически конфигурироваться для различных типов данных и длин векторов. Это позволяет значительно повысить производительность за счет одновременной обработки нескольких элементов данных, что крайне важно для таких приложений, как машинное обучение. Ключевые особенности включают стандартизованную длину вектора (VLEN), поддержку кода, не зависящего от длины, и богатый набор векторных инструкций для таких операций, как сложение, умножение и сравнение.

Компании, такие как Tenstorrent и SiFive, выпустили ядра класса «Ascalon» [9], соперничающие по производительности с Neoverse V3 от ARM. Эти чипы используют 512-битную ширину векторов для обработки сложного слияния сенсоров и телеметрии машинного обучения в реальном времени, что оказалось критически важным для требований автономных систем с низкой задержкой.

Открытость RISC-V обеспечила автопроизводителям возможность использования «цифровых двойников» аппаратного обеспечения RISC-V. Это полностью функциональные программные модели чипа, предназначенные для того, чтобы начать писать и тестировать код автомобилей задолго до выпуска физического чипа. Это сократило цикл разработки новых платформ с традиционных пяти лет до трёх.

Поскольку ISA открыт, разработчики могут проверять каждую инструкцию, гарантируя, что критически важные для безопасности протоколы безопасности «Zero Trust» жёстко закодированы в кремний - уровень прозрачности, которого не могут достичь проприетарные архитектуры [10].

Программная экосистема наконец-то догнала аппаратное обеспечение. В конце 2025 года Google определила RISC-V как архитектуру «Tier 1» для Android, завершив создание Native Development Kit (NDK) и Application Binary Interface (ABI) [11]. Этот шаг проложил путь к появлению первой волны коммерческих RISC-V смартфонов в начале 2026 года. Хотя эти устройства в настоящее время ориентированы на рынки среднего и бюджетного сегмента в Азии, техническая основа уже создана для того, чтобы RISC-V мог бросить вызов 95% доминированию ARM на рынке мобильных процессоров к концу десятилетия.

### *B. Вызов ARM и x86*

Qualcomm, когда-то один из крупнейших клиентов ARM, активно переключилась на RISC-V после резонансных лицензионных споров. Приобретя Ventana Micro Systems в 2025 году, Qualcomm начала интеграцию собственных высокопроизводительных RISC-V ядер в автомобильные и IoT-платформы Snapdragon. Этот стратегический шаг позволяет Qualcomm обойти ограничительные лицензионные условия ARM и потенциально сэкономить миллиарды на выплатах роялти в течение следующего десятилетия, одновременно получая свободу для инноваций на уровне обучения.

В автомобильном секторе совместное предприятие Quintauris (мощный консорциум, включающий Bosch, Infineon, Nordic Semiconductor, NXP и Qualcomm) успешно создало стандартизованную платформу RISC-V для программно-определённых транспортных средств (SDV) [12]. К началу 2026 года это предприятие превратило RISC-V в отраслевой стандарт для зональных контроллеров - «мозгов», управляющих всем - от гидроусилителя руля до мультимедийной системы.

Влияние на рынок IoT оказалось ещё более драматичным. Более 55% новых IoT-проектов теперь используют RISC-V, и эта архитектура стала выбором по умолчанию для подключённых устройств. Модель без роялти снижает стоимость материалов (BOM<sup>2</sup>) до 50% для датчиков с большим объёмом и умных домашних устройств. Это преимущество по стоимости позволило компаниям реинвестировать сэкономленные средства в более надёжный ИИ на устройстве и функции безопасности. Для стартапов низкий барьер

<sup>2</sup> Спецификация материалов (Bill Of Materials - BOM) — это исчерпывающий, структурированный перечень сырья, компонентов, узлов и их количества, необходимых для производства готового изделия. Выступая в роли «рецепта» продукта, она обеспечивает стабильность производства, точный контроль затрат и эффективное управление запасами. Ключевые компоненты включают номера деталей, описания, количество и инструкции по сборке.

входа, предоставляемый RISC-V, вызвал ренессанс «индивидуального кремния», когда небольшие команды могут разрабатывать индивидуальные чипы для нишевых промышленных приложений без первоначальных лицензионных затрат, связанных с проприетарными ISA.

Хотя Intel приняла RISC-V, предлагая производить чипы RISC-V для других, компания сталкивается с долгосрочной угрозой своему доминированию x86 в дата-центрах. Meta и NVIDIA уже интегрировали миллионы RISC-V ядер в свою внутреннюю инфраструктуру - Meta для ускорителей инференса MTIA AI [13], а NVIDIA - для управления телеметрией и безопасной загрузкой по всей линейке GPU.

### *C. Новая эра открытой инфраструктуры и глобальной устойчивости*

Рост RISC-V в 2026 году отражает более широкую тенденцию к технологической деглобализации и национальной самостоятельности. По мере того, как торговая напряжённость продолжает влиять на технологический сектор, RISC-V стал «нейтральной» архитектурой. Поскольку ни одна страна или компания не владеет ISA, она служит общим языком для глобальных инноваций, не поддающимся конкретным запретам на экспорт или ограничениям по списку организаций. Это сделало RISC-V особенно привлекательной в Европейском союзе и Азии, где правительства субсидируют проекты с открытым исходным кодом, чтобы их отечественные отрасли не были чрезмерно зависимы от интеллектуальной собственности в США или Великобритании.

Этот сдвиг отражает «момент Linux» для аппаратного обеспечения. Точно так же, как Linux разрушил монополию проприетарных операционных систем в 1990-х и 2000-х годах, RISC-V делает то же самое для мира процессоров. Архитектура сформировала огромное глобальное сообщество участников, обеспечивая более быстрое устранение уязвимостей безопасности и более широкое распространение оптимизаций, чем в закрытых экосистемах [4].

Часто встречаются сравнения RISC-V с предыдущими достижениями в области ИИ. Например, аналитики часто сравнивают зрелость RISC-V с запуском ChatGPT - моментом, когда технология, которая годами «бурлила под поверхностью», внезапно достигла необходимых результатов и доступности, чтобы изменить мир за одну ночь. В то время как ChatGPT произвел революцию в том, как мы взаимодействуем с данными, RISC-V революционизирует физическую основу, на которой эти данные обрабатываются.

### *D. Что дальше: искусственный интеллект-нативный кремний и путь к дата-центру*

Глядя в будущее на 2027 год и далее, фокус

сообщества RISC-V смещается на рынки высокопроизводительных вычислений (HPC) и серверов. Хотя RISC-V завоевал IoT и значительно прорвался в автомобильную индустрию, дата-центр остаётся «последним рубежом», который сейчас доминируют x86 и ARM. Эксперты прогнозируют, что в ближайшие два года появятся серверы на базе «AI-Native» [14], где модульность RISC-V позволяет бесшовно интегрировать сотни специализированных нейронных ядер на одном кристалле. Это потенциально может нарушить рынок серверов, обеспечив значительно более высокую производительность на ватт для конкретных математических задач, необходимых для больших языковых моделей (LLM).

Мы также, вероятно, увидим появление первой настоящей «Экосистемы потребителей с открытым исходным кодом». С завершением поддержки Android мечта о полностью открытом ноутбуке и смартфоне, от аппаратных инструкций до ядра и пользовательского интерфейса, становится реальностью. Это, вероятно, привлечёт растущий рынок потребителей, заботящихся о конфиденциальности, и корпоративных пользователей, которым необходим полный контроль над своим оборудованием. Задача будет заключаться в оптимизации аппаратного и программного обеспечения; хотя RISC-V способен, потребуется время, чтобы соответствовать десятилетиям «гонимой настройки», которую Intel и Apple применяли к своим проприетарным платформам.

Прогнозы на 2028 год предполагают, что RISC-V достигнет 15% от общей доли рынка процессоров - стремительный рост, учитывая его почти полное отсутствие десять лет назад. Для достижения этой цели экосистема должна восполнить оставшиеся пробелы в высококлассных инструментах для разработчиков и обеспечить стабильный поток талантов. Университеты по всему миру меняют свои учебные программы по архитектуре компьютеров, чтобы сосредоточиться на RISC-V, чтобы следующее поколение инженеров было «нативным» для модели открытого исходного кода [15].

Говоря о транспортных приложениях (в частности, о железной дороге) можно отметить, что Платформа безопасных вычислений (Safe Computing Platform - SCP) для будущих железнодорожных операций, в частности, такие инициативы, как Digitale Schiene Deutschland (Цифровая железная дорога Германии), все чаще ориентируется на архитектуру RISC-V как на независимую от поставщиков, безопасную и открытую основу для критически важных приложений [16]. Такой подход направлен на отказ от проприетарного оборудования во избежание зависимости от поставщика и на повышение безопасности за счет прозрачности.

Европейский научно-исследовательский проект SELENE [17] разрабатывает 64-битную многоядерную платформу RISC-V, которая включает аппаратное ускорение для искусственного интеллекта (ИИ) и поддерживает разнообразное избыточное выполнение

для железнодорожных приложений уровня SIL4<sup>3</sup>. Эта платформа предназначена для удовлетворения высоких требований к производительности при автоматическом управлении поездами и обнаружении препятствий.

Иными словами, RISC-V выступает как основная аппаратная платформа для цифровой железной дороги [18,19].

### III. RISC-V В РОССИИ

В России довольно активно работает Альянс RISC-V это некоммерческое объединение разработчиков электроники и ПО, созданное для развития, популяризации и внедрения открытой процессорной архитектуры RISC-V в России. Альянс обеспечивает технологический суверенитет, помогая создавать независимые микроконтроллеры и процессоры, формируя экосистему совместимых решений, инструментов разработки и образовательных программ [20]. На сайте обозначены 3 комитета.

Заявлены следующие цели технологического комитета:

- Создание условий для раннего доступа членов Альянса к технологиям и компонентам RISC-V
- Обеспечение информационной безопасности продуктов, разработанных с использованием данной технологии
- Проведение мероприятий, направленных на развитие продуктов на базе архитектуры RISC-V, востребованных в России
- Проведение исследований и разработок для формирования новых продуктовых направлений экосистемы RISC-V
- Информационно-аналитическое сопровождение процесса разработки вычислительной техники с использованием процессоров RISC-V
- Анализ мировых трендов и достижений, выпуск материалов на русском языке

Индустриальный комитет:

- Исследование рынков и выявление потребностей основных групп российских заказчиков вычислительной техники в использовании архитектуры RISC-V для создания решений в области АСУ-ТП и ИТ
- Мониторинг готовых к внедрению решений на архитектуре RISC-V в России (от разработки IP ядер, микроконтроллеров и микропроцессоров до системного ПО и готовых платформ) – Дорожная карта решений на архитектуре RISC-V в России
- Участие в создании пилотных зон для

<sup>3</sup> SIL 4 (Уровень целостности безопасности 4) — это самый высокий и строгий уровень функциональной безопасности, определенный стандартами IEC 61508 и EN 50126/28/29, требующий вероятности опасного отказа менее  $10^{-8}$  отказов в час. Он является обязательным для систем, отказ которых приводит к катастрофическим, смертельным или серьезным экологическим последствиям, и используется в основном в системах железнодорожной сигнализации, аэрокосмической, атомной и оборонной промышленности.

тестирования и адаптации решений на основе архитектуры RISC-V на базе Альянса с привлечением основных заказчиков и членов Альянса

- Участие в создании и адаптации отраслевых стандартов на основе архитектуры RISC-V, как одного из ключевых стандартов ИТ в России
- Содействие внедрению разработок членов Альянса в массовое промышленное использование – Программа раннего доступа к технологиям RISC-V DEVBOARDS
- Содействие развитию экосистемы RISC-V и формирование Партнерской программы Российского Альянса Пионеры RISC-V для физических лиц, чтобы они могли получить все преимущества сообщества энтузиастов развития этой технологии на Российском рынке
- Содействие в формировании системы управления правами интеллектуальной собственности в отношении решений на архитектуре RISC-V в России

Академический комитет объединяет представителей компаний и университетов и нацелен на создание открытого академического сообщества для дальнейшего развития архитектуры RISC-V в России.

Как пример продукта можно упомянуть K1921BG015 - 32-разрядный ультранизкопотребляющий микроконтроллер RISC-V в пластиковом корпусе. Изделие внесено в реестр российской промышленной продукции и Единый реестр радиоэлектронной продукции Минпромторга России. Представляет собой построенный на базе ядра архитектуры RISC-V 32-разрядный микроконтроллер с внутренней энергонезависимой памятью, многоканальным АЦП, криптографическим сопроцессором, последовательными интерфейсами, системой защиты от несанкционированного доступа и низким током потребления в активном режиме и максимальной частотой работы до 50 МГц [21].

Область применения: средства измерений, бытовые счетчики газа и электроэнергии, автоматизация производства, медицина.

#### IV. RISC-V и ПРИЛОЖЕНИЯ ИИ

Как один из первых примеров можно упомянуть открытую платформу Coral NPU (Neural Processing Unit) от Google, которая предлагает открытый аппаратный ускоритель моделей машинного обучения и программный инструментарий для его использования с ИИ-движками [22].

Coral NPU — это процессор RISC-V, разработанный для выполнения специализированных инструкций SIMD (Single Instruction, Multiple Data - одна инструкция, несколько данных) и обладающий микроархитектурными особенностями, соответствующими свойствам ускорителя машинного обучения.

Архитектура Coral NPU включает следующие

компоненты:

- Скалярное ядро: Легковесный, программируемый на языке C интерфейс RISC-V, управляющий потоком данных к ядрам бэкэнда, использующий простую модель «выполнения до завершения» для сверхнизкого энергопотребления и традиционных функций ЦП.
- Блок выполнения векторных инструкций: Надежный сопроцессор SIMD, совместимый с набором векторных инструкций RISC-V (RVV) версии 1.0, позволяющий одновременно обрабатывать большие наборы данных.
- Блок выполнения матричных инструкций: Высокоэффективный квантованный механизм умножения-накопления (MAC), специально разработанный для ускорения основных операций нейронных сетей.

Coral NPU использует SIMD-архитектуру для векторных вычислительных операций. Термины SIMD и vector здесь используются взаимозаменяемо, обозначая простое и практичное определение SIMD-инструкции, не содержащее поведения переменной длины. Скалярный интерфейс Coral отделен от бэкэнда структурой FIFO, которая буферизует векторные инструкции, отправляя их в соответствующие очереди команд только тогда, когда зависимости разрешены в файле векторных регистров (regfile). Векторное ядро поддерживает ширину данных 8, 16 и 32 бита.

Центральным компонентом архитектуры Coral NPU является квантованный механизм умножения-накопления (MAC) с внешним производением. MAC - это специализированный аппаратный компонент, предназначенный для ускорения операций умножения и свертки матриц, которые являются основополагающими для глубокого обучения, вывода данных в рамках искусственного интеллекта и высокопроизводительных вычислений (HPC). Эти механизмы используют двумерный систолический массив или структуру SIMD для параллельного выполнения тысяч операций умножения-накопления (MAC), что значительно увеличивает вычислительную мощность по сравнению с процессорами общего назначения.

Процесс разработки Coral NPU сосредоточен на двух ключевых областях. Во-первых, архитектура эффективно ускоряет ведущие архитектуры на основе энкодеров, используемые в современных приложениях обработки изображений и звука на устройствах. Во-вторых, это оптимизации Coral NPU для малых языковых моделей, что помогает обеспечить поддержку архитектурой ускорителя следующего поколения генеративного ИИ на периферийных устройствах.

Этот двойной подход означает, что Coral NPU находится на пути к тому, чтобы стать первым открытым, основанным на стандартах, маломощным NPU, разработанным для внедрения LLM в носимые устройства. Для разработчиков это обеспечивает единый, проверенный путь для развертывания как

текущих, так и будущих моделей с максимальной производительностью при минимальном энергопотреблении.

## V. ЗАКЛЮЧЕНИЕ

Ключевые аспекты «AI-Native RISC-V» включают в себя:

- Возможность для разработчиков добавлять специализированные инструкции для операций ИИ, таких как умножение матриц, которые имеют решающее значение для производительности и энергоэффективности при выводе ИИ на периферии.
- Векторные расширения (RVV): Стандартные векторные расширения RISC-V используются для ускорения вычислений алгоритмов ИИ, включая нормализацию слоев, сигмоидную функцию и функции активации, такие как GELU[23].
- Энергоэффективность: RISC-V отлично подходит для маломощных периферийных устройств ИИ, обеспечивая мониторинг ИИ на кристалле и снижая энергопотребление по сравнению с традиционными архитектурами.

В этой связи нужно еще упомянуть проект от Linux Foundation RISC-V Software Ecosystem (RISE) [24] - совместная работа лидеров отрасли, миссия которой состоит в том, чтобы ускорить разработку программного обеспечения с открытым исходным кодом для архитектуры RISC-V.

## БИБЛИОГРАФИЯ

- [1] Brown, Nick. "What is RISC-V and why should we care?" Proceedings of the Cray User Group (2025): 178-189.
- [2] Choosing the Right CPU Architecture for New Controllers: ARM vs RISC-V vs x86 <https://promwad.com/news/arm-risc-v-x86-next-gen-controllers-choice> Retrieved: Jan, 2026
- [3] Rosdiyanto, Roynaldy, Siti Fatimatul Zuhro, and Refi Nisfuwadi. "Comparative Analysis of RISC and CISC Architectures in Modern Embedded System Development." bit-Tech 8.2 (2025): 1910-1917.
- [4] The Great Decoupling: How RISC-V Achieved Architecture Sovereignty in 2026 <https://www.financialcontent.com/article/tokenring-2026-2-6-the-great-decoupling-how-risc-v-achieved-architecture-sovereignty-in-2026> Retrieved: Jan, 2026
- [5] RISC-V International. RVA23 Profile. Available online: <https://lists.riscv.org/g/tech-golden-model/attachment/265/0/rva23-profiles-internal-review-20240321%20.pdf> Retrieved: Jan, 2026
- [6] Ubuntu 26.04 LTS - The Roadmap <https://discourse.ubuntu.com/t/ubuntu-26-04-lts-the-roadmap/72740> Retrieved: Jan, 2026
- [7] RISC-V "V" Vector Extension, version 1.0 <https://github.com/riscvarchive/riscv-v-spec/releases/download/v1.0/riscv-v-spec-1.0.pdf> Retrieved: Jan, 2026
- [8] The Saturn Microarchitecture <https://saturn-vectors.org/> Manual Retrieved: Jan, 2026
- [9] TT-Ascalon <https://tenstorrent.com/en/ip/risc-v-cpu> Retrieved: Jan, 2026
- [10] Boubakri, Marouene, and Belhassen Zouari. "Architectural security and trust foundation for RISC-V." 2024 IEEE 27th International Symposium on Real-Time Distributed Computing (ISORC). IEEE, 2024.
- [11] Navik, Ankit P., et al. "RISC-V: Redefining the Future of Computing Architecture, Innovations, and Beyond." 2025 8th International Conference on Electronics, Materials Engineering & Nano-Technology (IEMENTech). IEEE, 2025.
- [12] Khan, Misbah Ullah, and Vishal Gupta. Achieving Reliability, Safety & Security in SDV OS Architecture. SAE Technical Paper, 2026.
- [13] Luntovskyy, Andriy. "How AI meets networking and networks meet AI applications." IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering. Cham: Springer Nature Switzerland, 2024.
- [14] Bhosle, Sachin M., and Shrikant C. Mahadik. "A review of microelectronics as a catalyst for intelligent manufacturing: trends, sectoral applications, and future directions." Australian Journal of Multi-Disciplinary Engineering (2025): 1-20.
- [15] RV NEXT 100 RISC-V Schools & Universities [https://deepcomputing.io/wp-content/uploads/2025/10/100\\_RISC\\_V\\_Schools\\_Universities\\_Program.pdf](https://deepcomputing.io/wp-content/uploads/2025/10/100_RISC_V_Schools_Universities_Program.pdf) Retrieved: Jan, 2026
- [16] First safe Computing Platform Specification Draft for Future Rail Operations published <https://www.sysgo.com/blog/article/first-safe-computing-platform-specification-draft-for-future-rail-operations-published> Retrieved: Jan, 2026
- [17] Self-monitored Dependable platform for High-Performance Safety-Critical Systems <https://www.selene-project.eu/> Retrieved: Jan, 2026
- [18] Интернет цифровой железной дороги / В. П. Куприяновский, Г. В. Суконников, С. А. Синягов [и др.] // International Journal of Open Information Technologies. – 2016. – Т. 4, № 12. – С. 53-68. – EDN XETADZ.
- [19] Цифровая железная дорога - инновационные стандарты и их роль на примере Великобритании / Д. Е. Николаев, В. П. Куприяновский, Г. В. Суконников [и др.] // International Journal of Open Information Technologies. – 2016. – Т. 4, № 10. – С. 55-61. – EDN WXBAZN.
- [20] RISC-V альянс <https://riscv-alliance.ru/> Retrieved: Jan, 2026
- [21] K1921BG015 <https://niiet.ru/product/%D0%BA1921%D0%B2%D0%B3015/> Retrieved: Jan, 2026
- [22] Coral architecture <https://developers.google.com/coral/guides/hardware/architecture> Retrieved: Jan, 2026
- [23] Lee, Minhyeok. "Gelu activation function in deep learning: a comprehensive mathematical analysis and performance." arXiv preprint arXiv:2305.12073 (2023).
- [24] Accelerating the RISC-V Software Ecosystem <https://riseproject.dev/> Retrieved: Jan, 2026

# RISC-V and Artificial Intelligence Applications

Vasily Kupriyanovsky, Dmitry Namiot

**Abstract** - This article analyzes the current state and development prospects of the open-source RISC-V architecture, which by 2026 had evolved from an academic project into a global industrial force, becoming the third major architecture alongside x86 and ARM. Key factors behind RISC-V's popularity are discussed: openness, modularity, and community focus. Particular attention is paid to the platform's technical maturity, including the implementation of the RVA23 profile and vector extensions (RVV), which have enabled RISC-V support in enterprise operating systems and Android. The application of RISC-V in artificial intelligence (AI) systems is analyzed in detail. Using Google's open-source Coral NPU platform as an example, the article demonstrates the implementation of the "AI-Native" concept: the use of specialized instructions, vector extensions, and multiply-accumulate (MAC) mechanisms to accelerate neural network inference on edge devices. A separate section is devoted to the activities of the Russian RISC-V Alliance, aimed at ensuring technological sovereignty and creating domestic solutions based on the open architecture.

**Keywords**- RISC-V, Artificial Intelligence, Internet of Things.

## REFERENCES

- [1] Brown, Nick. "What is RISC-V and why should we care?" Proceedings of the Cray User Group (2025): 178-189.
- [2] Choosing the Right CPU Architecture for New Controllers: ARM vs RISC-V vs x86 <https://promwad.com/news/arm-risc-v-x86-next-gen-controllers-choice> Retrieved: Jan, 2026
- [3] Rosdiyanto, Roynaldy, Siti Fatimatul Zuhro, and Refi Nisfuwadi. "Comparative Analysis of RISC and CISC Architectures in Modern Embedded System Development." *bit-Tech* 8.2 (2025): 1910-1917.
- [4] The Great Decoupling: How RISC-V Achieved Architecture Sovereignty in 2026 <https://www.financialcontent.com/article/tokenring-2026-2-6-the-great-decoupling-how-risc-v-achieved-architecture-sovereignty-in-2026> Retrieved: Jan, 2026
- [5] RISC-V International. RVA23 Profile. Available online: <https://lists.riscv.org/g/tech-golden-model/attachment/265/0/rva23-profiles-internal-review-20240321%20.pdf> Retrieved: Jan, 2026
- [6] Ubuntu 26.04 LTS - The Roadmap <https://discourse.ubuntu.com/t/ubuntu-26-04-lts-the-roadmap/72740> Retrieved: Jan, 2026
- [7] RISC-V "V" Vector Extension, version 1.0 <https://github.com/riscvarchive/riscv-v-spec/releases/download/v1.0/riscv-spec-1.0.pdf> Retrieved: Jan, 2026
- [8] The Saturn Microarchitecture <https://saturn-vectors.org/> Manual Retrieved: Jan, 2026
- [9] TT-Ascalon <https://tenstorrent.com/en/ip/risc-v-cpu> Retrieved: Jan, 2026
- [10] Boubakri, Marouene, and Belhassen Zouari. "Architectural security and trust foundation for RISC-V." 2024 IEEE 27th International Symposium on Real-Time Distributed Computing (ISORC). IEEE, 2024.
- [11] Navik, Ankit P., et al. "RISC-V: Redefining the Future of Computing, Architecture, Innovations, and Beyond." 2025 8th International Conference on Electronics, Materials Engineering & Nano-Technology (IEMENTech). IEEE, 2025.
- [12] Khan, Misbah Ullah, and Vishal Gupta. Achieving Reliability, Safety & Security in SDV OS Architecture. SAE Technical Paper, 2026.
- [13] Luntovskyy, Andriy. "How AI meets networking and networks meet AI applications." IEEE International Conference on Advanced Trends in Radioelectronics, Telecommunications and Computer Engineering. Cham: Springer Nature Switzerland, 2024.
- [14] Bhosle, Sachin M., and Shrikant C. Mahadik. "A review of microelectronics as a catalyst for intelligent manufacturing: trends, sectoral applications, and future directions." *Australian Journal of Multi-Disciplinary Engineering* (2025): 1-20.
- [15] RV NEXT 100 RISC-V Schools & Universities [https://deepcomputing.io/wp-content/uploads/2025/10/100\\_RISC\\_V\\_Schools\\_Universities\\_Program.pdf](https://deepcomputing.io/wp-content/uploads/2025/10/100_RISC_V_Schools_Universities_Program.pdf) Retrieved: Jan, 2026
- [16] First safe Computing Platform Specification Draft for Future Rail Operations published <https://www.sysgo.com/blog/article/first-safe-computing-platform-specification-draft-for-future-rail-operations-published> Retrieved: Jan, 2026
- [17] Self-monitored Dependable platform for High-Performance Safety-Critical Systems <https://www.selene-project.eu/> Retrieved: Jan, 2026
- [18] Internet cifrovoy zheleznoj dorogi / V. P. Kuprijanovskij, G. V. Sukonnikov, S. A. Sinjagov [i dr.] // *International Journal of Open Information Technologies*. – 2016. – T. 4, # 12. – S. 53-68. – EDN XETADZ.
- [19] Cifrovaja zheleznaja doroga - innovacionnye standarty i ih rol' na primere Velikobritanii / D. E. Nikolaev, V. P. Kuprijanovskij, G. V. Sukonnikov [i dr.] // *International Journal of Open Information Technologies*. – 2016. – T. 4, # 10. – S. 55-61. – EDNWXBAZN.
- [20] RISC-V al'jans <https://riscv-alliance.ru/> Retrieved: Jan, 2026
- [21] K1921VG015 <https://niiet.ru/product/%D0%BA1921%D0%B2%D0%B3015/> Retrieved: Jan, 2026
- [22] Coral architecture <https://developers.google.com/coral/guides/hardware/architecture> Retrieved: Jan, 2026
- [23] Lee, Minhyeok. "Gelu activation function in deep learning: a comprehensive mathematical analysis and performance." *arXiv preprint arXiv:2305.12073* (2023).
- [24] Accelerating the RISC-V Software Ecosystem <https://riseproject.dev/> Retrieved: Jan, 2026